

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Naokazu KUZUNO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: FUSE LATCH CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

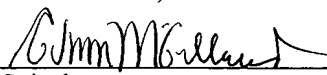
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-037180	February 14, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月 1 4 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 3 7 1 8 0  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 3 7 1 8 0 ]

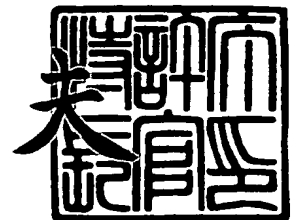
出      願      人                      株式会社東芝  
Applicant(s):                      東芝エルエスアイシステムサポート株式会社



2 0 0 3 年 1 2 月    9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 A000206366

【提出日】 平成15年 2月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/08

【発明の名称】 フューズラッチ回路

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番地 東芝エルエスアイシステムサポート株式会社内

【氏名】 笈川 清春

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番地 東芝エルエスアイシステムサポート株式会社内

【氏名】 枿 靖浩

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番地 東芝エルエスアイシステムサポート株式会社内

【氏名】 丸山 公夫

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番地 東芝エルエスアイシステムサポート株式会社内

【氏名】 葛野 直和

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【特許出願人】

【識別番号】 598010562

【氏名又は名称】 東芝エルエスアイシステムサポート株式会社

**【代理人】****【識別番号】** 100058479**【弁理士】****【氏名又は名称】** 鈴江 武彦**【電話番号】** 03-3502-3181**【選任した代理人】****【識別番号】** 100091351**【弁理士】****【氏名又は名称】** 河野 哲**【選任した代理人】****【識別番号】** 100088683**【弁理士】****【氏名又は名称】** 中村 誠**【選任した代理人】****【識別番号】** 100108855**【弁理士】****【氏名又は名称】** 蔵田 昌俊**【選任した代理人】****【識別番号】** 100084618**【弁理士】****【氏名又は名称】** 村松 貞男**【選任した代理人】****【識別番号】** 100092196**【弁理士】****【氏名又は名称】** 橋本 良郎**【手数料の表示】****【予納台帳番号】** 011567**【納付金額】** 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【包括委任状番号】 9807823

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フューズラッチ回路

【特許請求の範囲】

【請求項 1】 フューズと、入力端が前記フューズの一端に接続される第 1 インバータと、入力端が前記第 1 インバータの出力端に接続される第 2 インバータと、ソースに第 1 電源電位が入力され、ドレインが前記フューズの一端に接続され、ゲートに初期化のためのパルス信号が入力される第 1 トランジスタと、ソースに前記第 1 電源電位が入力され、ドレインが前記フューズの一端に接続され、ゲートが前記第 1 インバータの出力端に接続される第 2 トランジスタと、ソースに第 2 電源電位が入力され、ドレインが前記フューズの他端に接続され、ゲートに前記パルス信号が入力される第 3 トランジスタとを具備し、前記第 1 トランジスタのコンダクタンスは、前記第 2 トランジスタのそれよりも大きいことを特徴とするフューズラッチ回路。

【請求項 2】 前記第 1 インバータの回路閾値は、前記第 1 電源電位と前記第 2 電源電位とを足した値の半分の値に設定されることを特徴とする請求項 1 に記載のフューズラッチ回路。

【請求項 3】 複数のフューズラッチ回路からなるフューズラッチ回路群と、前記フューズラッチ回路群の出力信号を受ける内部回路とを具備し、前記複数のフューズラッチ回路の各々は、請求項 1 に記載のフューズラッチ回路であることを特徴とする半導体集積回路。

【請求項 4】 複数のフューズラッチ回路からなる複数のフューズラッチ回路群と、前記複数のフューズラッチ回路群の出力信号を受ける内部回路とを具備し、前記複数のフューズラッチ回路の各々は、請求項 1 に記載のフューズラッチ回路であり、前記複数のフューズラッチ回路群の各々には、それぞれ異なるタイミングで請求項 1 に記載のパルス信号が供給されることを特徴とする半導体集積回路。

【請求項 5】 前記複数のフューズラッチ回路群の各々に入力される請求項 1 に記載のパルス信号は、時間的に、互いに重なり合わないことを特徴とする請求項 4 に記載の半導体集積回路。

【請求項 6】 前記複数のフューズラッチ回路群の各々に請求項 1 に記載のパルス信号を入力するタイミングは、少なくとも前記パルス信号の幅よりも長い遅延時間を有する遅延回路により制御されることを特徴とする請求項 5 に記載の半導体集積回路。

【請求項 7】 前記第 3 トランジスタは、前記フューズの端部の直下に形成されることを特徴とする請求項 1 に記載のフューズラッチ回路。

【請求項 8】 前記フューズラッチ回路は、メモリのリダンダンシイ回路に使用されることを特徴とする請求項 1 に記載のフューズラッチ回路。

【請求項 9】 請求項 1 に記載のフューズラッチ回路を備えたメモリ。

【請求項 1 0】 請求項 3 又は 4 に記載の半導体集積回路を備えたメモリ。

【請求項 1 1】 請求項 1 に記載のフューズラッチ回路を備えたメモリ混載マイコン。

【請求項 1 2】 請求項 3 又は 4 に記載の半導体集積回路を備えたメモリ混載マイコン。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は、電源投入時の初期化期間にフューズ状態をラッチするフューズラッチ回路に関し、特に、安定動作、低消費電流及びチップサイズの縮小が要求されるリダンダンシイ機能付きメモリ混載マイコンに使用される。

##### 【0 0 0 2】

#### 【従来の技術】

図 1 1 は、従来のフューズラッチ回路の例を示している。図 1 2 は、図 1 1 のフューズラッチ回路を用いたシステムの例を示している。

##### 【0 0 0 3】

フューズラッチ回路群 1 1 0 は、2 4 0 個のフューズラッチ回路 L 0, L 1, . . . L 2 3 9 から構成される。内部回路 1 2 は、フューズラッチ回路 L 0, L 1, . . . L 2 3 9 の出力信号 FUSEOT 0, FUSEOT 1, . . . FUSEOT 2 3 9 に基づいて、制御信号 CNT 0, CNT 1, . . . CNT 2 3 9 を

出力する。

**【0004】**

フューズラッチ回路  $L_n$  ( $n=0, 1, \dots, 239$ ) は、高オン抵抗タイプ P チャンネル MOS トランジスタ  $P_1, P_2$ 、インバータ  $INV_1, INV_2$ 、抵抗  $R$ 、フューズ（例えば、アルミフューズ） $AL-fuse$  及びキャパシタ  $C_1, C_2$  から構成される。

**【0005】**

キャパシタ  $C_1$  は、電源投入時に、ノード  $V_a$  を電源レベル ( $V_{DD}$ ) に設定する機能を有する。キャパシタ  $C_2$  は、電源投入時に、ノード  $V_b$  を接地レベル ( $V_{SS}$ ) に設定する機能を有する。但し、システムの初期化動作中においては、ノード  $V_a$  は、接地レベルとなり、ノード  $V_b$  は、電源レベルとなる。

**【0006】**

なお、その他の例に関わるフューズラッチ回路としては、特許文献 1-5 に開示されたものがある。

**【0007】**

**【特許文献 1】**

特開 2002-298594 号公報

**【0008】**

**【特許文献 2】**

特開 2000-311496 号公報

**【0009】**

**【特許文献 3】**

特開 2002-175696 号公報

**【0010】**

**【特許文献 4】**

特開平 5-41096 号公報

**【0011】**

**【特許文献 5】**

特開 2002-93188 号公報



**【0012】****【発明が解決しようとする課題】**

- ・ フューズ接続時

図13は、フューズ接続時（未切断時）における図11のフューズラッチ回路の動作を示している。

**【0013】**

まず、システムの初期化動作の直前である期間T1では、制御信号INTVが“H”レベルに設定されているため、ノードVaは、接地レベル（“L”レベル）となる。この時、フューズラッチ回路Lnの出力信号FUSEOTnも、“L”レベルとなる。

**【0014】**

システムの初期化動作期間T2では、制御信号INTVが“L”レベルになるため、PチャネルMOSトランジスタP1はオン状態になる。その結果、ノードVaは、プリチャージ状態に入り、電源→トランジスタP1→ノードVa→抵抗R→フューズAL-fuse→接地点という電流経路が発生する。

**【0015】**

この状態におけるフューズラッチ回路1個当たりの貫通電流は、約 $25\mu A$ となる。但し、電源レベル(VDD)は、約3.3V、常温であると仮定する。

**【0016】**

ここで、図12に示すシステムは、240個のフューズラッチ回路L0, L1, …, L239を有している。また、これらフューズラッチ回路L0, L1, …, L239の動作タイミングは、同じであるため、システム全体としては、合計、約6mAの貫通電流ivddが流れることになる。

**【0017】**

従って、この膨大な貫通電流ivddは、電源電位降下の可能性を発生させると共に、このシステムを採用するメモリ又はメモリ混載マイコンの消費電流を増大化させる。

**【0018】**

また、貫通電流ivddによるノードVaの電位変動を防止するため、インバ

ータ INV1 の回路閾値を高く設定することが頻繁に行われている。しかし、この場合、プロセス変動などによって、インバータ INV1 の回路閾値が電源レベルまで上昇すると、システムの初期化動作期間 T2 において、本来、“H” であるべき出力信号 FUSEOT<sub>n</sub> が “L” となる不良モードが発生する。

#### 【0019】

- ・ フューズ切断時

図14は、フューズ切断時における図11のフューズラッチ回路の動作を示している。

#### 【0020】

まず、システムの初期化動作の直前である期間 T1 では、制御信号 INTV が “H” レベルに設定されているため、ノード Va は、接地レベル (“L” レベル) となる。この時、フューズラッチ回路 Ln の出力信号 FUSEOT<sub>n</sub> も、“L” レベルとなる。

#### 【0021】

システムの初期化動作期間 T2 では、制御信号 INTV が “L” レベルになるため、PチャネルMOSトランジスタ P1 はオン状態になる。その結果、ノード Va は、プリチャージ状態に入る。ここで、ノード Va のプリチャージには、キャパシタ C1 の容量 (=大) と高オン抵抗タイプ MOS トランジスタ P1 のコンダクタンス g<sub>m</sub>A (=小) とに起因して、十分に長いプリチャージ時間が必要とされる。

#### 【0022】

このため、例えば、制御信号 INTV のパルス幅、即ち、期間 T2 があまりにも短いと、ノード Va の電位は、所定のプリチャージレベルにまで到達することができなくなる。その結果、ノード Va の電位がインバータ INV1 の回路閾値を超えることができないまま、プリチャージ動作が終了してしまい、本来、“H” であるべき出力信号 FUSEOT<sub>n</sub> が “L” となる不良モードが発生する。

#### 【0023】

また、例えば、制御信号 INTV のパルス幅が変動すると、そのパルス幅が狭い状態のときにリダンダンシイ機能が働かなくなる。結果として、不良データが

システムバスに転送され、命令データや制御データとして使用されるため、システムの不具合を招く。

#### 【0024】

図15は、図11のフューズラッチ回路5つ分のレイアウトの例を示している。

#### 【0025】

フューズエリアには、フューズ  $AL-fuse$  が形成される。トランジスタエリアには、トランジスタ  $P1$ 、 $P2$  及びインバータ  $INV1$ 、 $INV2$  が形成される。配線エリアには、配線  $W1$ 、 $W2$ 、 $W3$  が形成され、抵抗エリアには、抵抗  $R$  が形成され、キャパシタエリアには、キャパシタ  $C1$ 、 $C2$  が形成される。

#### 【0026】

ここで、フューズラッチ回路1個あたりに要するサイズは、約  $73.2\mu m \times$  約  $8.04\mu m =$  約  $588.5\mu m^2$  となる。従って、240個のフューズラッチ回路を有する図12のシステムでは、フューズラッチ回路群に要する面積は、約  $73.2\mu m \times$  約  $8.04\mu m \times$  240個  $=$   $141247\mu m^2$  となる。

#### 【0027】

近年、1つのシステム内におけるフューズラッチ回路の個数は、増大する傾向にあり、その結果、例えば、メモリマクロの制御回路内に占めるフューズラッチ回路群の面積の割合が大きくなっている。このため、このシステムを搭載するメモリやメモリ混載マイコンなどのチップサイズが拡大している。

#### 【0028】

本発明の目的は、フューズラッチ回路を有するメモリやメモリ混載マイコンなどの集積回路において、初期化動作期間中の貫通電流をなくして、システムの安定化及び低消費電流化を図ること、システムの初期化のための制御信号のパルス幅が狭くても、誤動作を起こさないようにすること、フューズラッチ回路のレイアウト面積を縮小することにある。

#### 【0029】

【課題を解決するための手段】

(1) 本発明の例に関わるフューズラッチ回路は、フューズと、入力端が前記フューズの一端に接続される第1インバータと、入力端が前記第1インバータの出力端に接続される第2インバータと、ソースに第1電源電位が入力され、ドレインが前記フューズの一端に接続され、ゲートに初期化のためのパルス信号が入力される第1トランジスタと、ソースに前記第1電源電位が入力され、ドレインが前記フューズの一端に接続され、ゲートが前記第1インバータの出力端に接続される第2トランジスタと、ソースに第2電源電位が入力され、ドレインが前記フューズの他端に接続され、ゲートに前記パルス信号が入力される第3トランジスタとを備え、前記第1トランジスタのコンダクタンスは、前記第2トランジスタのそれよりも大きい。

#### 【0030】

前記第1インバータの回路閾値は、前記第1電源電位と前記第2電源電位とを足した値の半分の値に設定される。

前記第3トランジスタは、前記フューズの端部の直下に形成される。前記フューズラッチ回路は、メモリのリダンダンシイ回路に使用される。

#### 【0031】

(2) 本発明の例に関わる半導体集積回路は、複数のフューズラッチ回路からなるフューズラッチ回路群と、前記フューズラッチ回路群の出力信号を受ける内部回路とを備え、前記複数のフューズラッチ回路の各々は、前記(1)に記載のフューズラッチ回路である。

#### 【0032】

本発明の例に関わる半導体集積回路は、複数のフューズラッチ回路からなる複数のフューズラッチ回路群と、前記複数のフューズラッチ回路群の出力信号を受ける内部回路とを備え、前記複数のフューズラッチ回路の各々は、前記(1)に記載のフューズラッチ回路であり、前記複数のフューズラッチ回路群の各々には、それぞれ異なるタイミングで前記(1)に記載のパルス信号が供給される。

#### 【0033】

前記複数のフューズラッチ回路群の各々に入力される前記(1)に記載のパルス信号は、時間的に、互いに重なり合わない。

前記複数のフューズラッチ回路群の各々に前記(1)に記載のパルス信号を入力するタイミングは、少なくとも前記パルス信号の幅よりも長い遅延時間を有する遅延回路により制御される。

#### 【0034】

(3) 本発明の例に関わるメモリは、前記(1)に記載のフューズラッチ回路を備える。

本発明の例に関わるメモリは、前記(2)に記載の半導体集積回路を備える。

本発明の例に関わるメモリ混載マイコンは、前記(1)に記載のフューズラッチ回路を備える。

本発明の例に関わるメモリ混載マイコンは、前記(2)に記載の半導体集積回路を備える。

#### 【0035】

##### 【発明の実施の形態】

以下、図面を参照しながら、本発明の例に関わるフューズラッチ回路について詳細に説明する。

#### 【0036】

##### (1) 第1実施の形態

図1は、本発明の第1実施の形態に関わるフューズラッチ回路の例を示している。図2は、図1のフューズラッチ回路を用いたシステムの例を示している。

#### 【0037】

フューズラッチ回路群11は、240個のフューズラッチ回路LA0, LA1, ... LA239から構成される。内部回路12は、フューズラッチ回路LA0, LA1, ... LA239の出力信号FUSEOT0, FUSEOT1, ... FUSEOT239に基づいて、制御信号CNT0, CNT1, ... CNT239を出力する。

#### 【0038】

フューズラッチ回路LAN (n=0, 1, ... 239) は、低オン抵抗タイプPチャネルMOSトランジスタP1A、高オン抵抗タイプPチャネルMOSトランジスタP2、NチャネルMOSトランジスタN1A、インバータINV1A

、INV2及びフューズ（例えば、アルミフューズ）AL-fuseから構成される。

#### 【0039】

図1のフューズラッチ回路LANは、図11のフューズラッチ回路Lnと比べると、貫通電流を防止するためのNチャネルMOSトランジスタN1Aを有している点、抵抗RとキャパシタC1、C2を有していない点、及び、高オン抵抗タイプトランジスタP1が低オン抵抗タイプトランジスタP1Aに置き換えられている点において相違している。

#### 【0040】

以下、フューズ接続時（未切断時）及びフューズ切断時の動作について説明する。

#### 【0041】

・ フューズ接続時

図3は、フューズ接続時における図1のフューズラッチ回路の動作を示している。

#### 【0042】

まず、システムの初期化動作の直前である期間T1では、制御信号INTVが“H”レベルに設定され、PチャネルMOSトランジスタP1Aは、オフ状態、NチャネルMOSトランジスタN1Aは、オン状態となっている。このため、ノードVaAは、接地レベル（“L”レベル）となる。この時、フューズラッチ回路LANの出力信号FUSEOTnも、“L”レベルとなる。

#### 【0043】

システムの初期化動作期間T2では、制御信号INTVが“L”レベルになるため、PチャネルMOSトランジスタP1Aは、オン状態、NチャネルMOSトランジスタN1Aは、オフ状態となる。その結果、ノードVaAは、プリチャージ状態に入る。この時、NチャネルMOSトランジスタN1Aは、オフ状態であるため、スイッチング時を除き、電源→トランジスタP1A→ノードVaA→フューズAL-fuse→接地点という電流経路が発生することはない。

#### 【0044】

また、NチャネルMOSトランジスタN1Aがオフ状態であり、かつ、PチャネルMOSトランジスタP1Aは、低いオン抵抗を有する低オン抵抗タイプトランジスタ（コンダクタンス $g_{mB}$ =大）であるため、ノードVaAは、急速に、電源レベルにプリチャージされ、フューズラッチ回路LA<sub>n</sub>の出力信号FUSEOT<sub>n</sub>は、“H”レベルになる。

**【0045】**

ラッチ出力の確定期間T3では、制御信号INTVが再び“H”レベルに設定されるため、PチャネルMOSトランジスタP1Aは、オフ状態、NチャネルMOSトランジスタN1Aは、オン状態となる。このため、ノードVaAは、急速に、接地レベル（“L”レベル）にディスチャージされる。この時、フューズラッチ回路LA<sub>n</sub>の出力信号FUSEOT<sub>n</sub>は、“L”レベルとなる。

**【0046】**

・ フューズ切断時

図4は、フューズ切断時における図1のフューズラッチ回路の動作を示している。

**【0047】**

まず、システムの初期化動作の直前である期間T1では、制御信号INTVが“H”レベルに設定され、PチャネルMOSトランジスタP1Aは、オフ状態、NチャネルMOSトランジスタN1Aは、オン状態となっている。このため、ノードVaAは、接地レベル（“L”レベル）となる。この時、フューズラッチ回路LA<sub>n</sub>の出力信号FUSEOT<sub>n</sub>も、“L”レベルとなる。

**【0048】**

システムの初期化動作期間T2では、制御信号INTVが“L”レベルになるため、PチャネルMOSトランジスタP1Aは、オン状態、NチャネルMOSトランジスタN1Aは、オフ状態となる。その結果、ノードVaAは、プリチャージ状態に入る。この時、フューズAL-fuseが切断されているため、電源→トランジスタP1A→ノードVaA→フューズAL-fuse→接地点という電流経路が発生することはない。

**【0049】**

また、PチャネルMOSトランジスタP1Aは、低いオン抵抗を有する低オン抵抗タイプトランジスタ（コンダクタンス $g_{mB}$ =大）であり、ノードVaAは、急速に、電源レベルにプリチャージされるため、初期化のための制御信号INTVのパルス幅、即ち、初期化動作期間T2が短くても、フューズラッチ回路LANの出力信号FUSEOTnは、“H”レベルになり、システムが誤動作することはない。

#### 【0050】

さらに、フューズラッチ回路LANの出力信号FUSEOTnが“H”レベルになった後は、高オン抵抗タイプPチャネルMOSトランジスタP2（コンダクタンス $g_{mC}$ =小）により、出力信号FUSEOTnのレベルを安定させることができる。

#### 【0051】

このように、図1のフューズラッチ回路によれば、素子数の削減により、フューズラッチ回路のレイアウト面積を縮小できる。また、貫通電流を防止するためのトランジスタN1Aにより、初期化動作期間中の貫通電流をなくすことができ、システムの安定化及び低消費電流化を図ることができる。さらに、プリチャージのためのトランジスタP1Aを低オン抵抗タイプにすることで、ノードVaAが急速にプリチャージされるため、初期化のための制御信号のパルス幅が狭くても、誤動作を起こすことがない。

#### 【0052】

図1のフューズラッチ回路では、フューズ接続時におけるスイッチング、即ち、制御信号INTVのレベル（“H”／“L”）の切り替えの際に、多少の貫通電流が発生する。これに対しては、ノードVaAのレベルを検知するためのインバータINV1Aの回路閾値を、電源レベルの半分、 $V_{DD}/2$ に設定することで対応できる。これにより、実質的に、貫通電流をなくすことができ、フューズラッチ回路の動作安定性を向上でき、システムの安定化及び低消費電流化を図ることができる。

#### 【0053】

### (2) 第2実施の形態



図 5 は、本発明の第 2 実施の形態に関わるフューズラッチ回路を用いたシステムの例を示している。

#### 【0 0 5 4】

第 2 実施の形態は、上述の第 1 実施の形態の変形例である。第 2 実施の形態では、スイッチング時、即ち、上述の期間 T 1 から期間 T 2 への移り変わり時及び期間 T 2 から期間 T 3 への移り変わり時における動作電流の低減及び自己ノイズの低減を目的とする。

#### 【0 0 5 5】

第 2 実施の形態の特徴は、多数（例えば、2 4 0 個）のフューズラッチ回路からなるフューズラッチ回路群を、複数のフューズラッチ回路群、例えば、3 つのフューズラッチ回路群 1 1 A, 1 1 B, 1 1 C に分割し、かつ、各フューズラッチ回路群 1 1 A, 1 1 B, 1 1 C に対して、初期化のための制御信号 I N T V を与えるタイミングを、遅延回路 1 3 A, 1 3 B により変えた点にある。

#### 【0 0 5 6】

このように、スイッチング時に、システムに流れる動作電流を時間的に分散することにより、ある一時期に、全てのフューズラッチ回路に一度に動作電流が流れるということがなくなり、動作電流の低減及び自己ノイズの低減を図ることができる。

#### 【0 0 5 7】

なお、フューズラッチ回路群 1 1 A, 1 1 B, 1 1 C 内の各フューズラッチ回路としては、例えば、図 1 に示すような回路をそのまま使用できる。

#### 【0 0 5 8】

遅延回路 1 3 A, 1 3 B の例について説明する。

#### 【0 0 5 9】

図 6 は、遅延回路を直列接続された複数のインバータから構成した例である。

遅延回路 1 3 A, 1 3 B は、例えば、共に、図 6 に示すような直列接続された 8 個のインバータから構成される。この場合、遅延回路 1 3 A, 1 3 B の遅延時間  $t_{dly}$  は、同じとなる。

#### 【0 0 6 0】

ここで注意しなければならない点は、遅延回路 13A, 13B の遅延時間  $t_{dly}$  を、初期化のための制御信号 INTV のパルス幅  $T_{pls}$  よりも長く設定することにある。つまり、第2実施の形態では、制御信号 INTV, INTV1, INTV2 のパルス（ロジックレベルが“L”である期間）が、互いに重なり合わないことが重要である。

#### 【0061】

図7は、フリップフロップ遅延回路FDの例である。

遅延回路 13A, 13B は、例えば、共に、図7に示すように、2個のフリップフロップ遅延回路FDとバッファBFとから構成される。遅延回路 13A, 13B は、PSV が“H” のとき、クロック信号CLKの制御の下、入力信号INを一定時間  $t_{dly}$  だけ遅延させ、出力信号OUTとして出力する。

#### 【0062】

なお、図6の遅延回路と同様に、遅延回路 13A, 13B の遅延時間  $t_{dly}$  は、初期化のための制御信号 INTV のパルス幅  $T_{pls}$  よりも長く設定する。つまり、遅延時間  $t_{dly}$  は、制御信号 INTV, INTV1, INTV2 のパルス（ロジックレベルが“L”である期間）が、互いに重なり合わないことを条件に決定される。

#### 【0063】

##### (3) 動作検証

図1のフューズラッチ回路を用いた図2のシステムの動作検証を行った。

#### 【0064】

図8に示すように、電源レベルVDDを2.5Vに設定したとき、制御信号INTVが変化してから出力信号FUSEOTが変化するまでの応答時間  $t_{pd}$  は、約1.5nsとなり、システムの高速度動作が確認できた。また、図9に示すように、スイッチング時に発生する貫通電流  $I_{vcc}$ ,  $I_{vss}$  は、2mA程度となり、従来よりも低減できた。

#### 【0065】

##### (4) レイアウト

図10は、図1のフューズラッチ回路5つ分のレイアウトの例を示している。

このレイアウトは、図15の従来のレイアウトに対応している。

#### 【0066】

フューズエリアには、フューズAL-fuseが形成される。トランジスタエリアには、トランジスタN1A, P1A, P2及びインバータINV1A, INV2が形成される。配線エリアには、配線W1, W3が形成される。

#### 【0067】

本レイアウトでは、抵抗が形成されるエリアとキャパシタが形成されるエリアが存在しないため、その分だけ、レイアウト面積を小さくできる。また、プリチャージのためのPチャネルMOSトランジスタP1Aを低オン抵抗化（コンダクタンス $g_m B = \text{大}$ ）したため、レイアウト面積の縮小に貢献できる。

#### 【0068】

さらに、本レイアウトでは、トランジスタエリア（N1A）が追加されているが、このエリア（N1A）は、フューズエリア（AL-fuse）にオーバーラップして配置できる。つまり、図1のNチャネルMOSトランジスタN1Aは、フューズAL-fuseの端部（切断部以外の部分）の直下に形成することができるため、NチャネルMOSトランジスタN1Aによるレイアウト面積の増加はない。

#### 【0069】

具体的には、フューズラッチ回路1個当たりに要するサイズは、約 $64.08 \mu\text{m} \times \text{約}7.08 \mu\text{m} = \text{約}463.6 \mu\text{m}^2$ となる。従って、240個のフューズラッチ回路を有する図2のシステムでは、フューズラッチ回路群に要する面積は、 $\text{約}64.08 \mu\text{m} \times \text{約}7.08 \mu\text{m} \times 240 \text{個} = 108884 \mu\text{m}^2$ となる。

#### 【0070】

これに対し、図15のレイアウトの場合、フューズラッチ回路1個当たりに要するサイズは、 $\text{約}73.2 \mu\text{m} \times \text{約}8.04 \mu\text{m} = \text{約}588.5 \mu\text{m}^2$ であり、240個のフューズラッチ回路を有する図12のシステムでは、フューズラッチ回路群に要する面積は、 $141247 \mu\text{m}^2$ となる。

#### 【0071】

このように、本発明の例によれば、フューズラッチ回路を用いたシステムの面積を、20%以上縮小することができる。これにより、本システムを搭載したメモリや、メモリ混載マイコンなどのチップサイズの縮小に貢献できる。

#### 【0072】

##### (5) 応用例

本発明の例によるフューズラッチ回路及びこれを用いたシステムを、リダンダンシ機能を有するメモリ混載マイコンに適用することにより、当該マイコンの初期化動作期間中における貫通電流を実質的になくすことができ、システム動作の安定化と低消費電流化を実現できる。

#### 【0073】

また、高速プリチャージ／ディスチャージが可能であるため、初期化のための制御信号のパルス幅が短くても、誤動作が発生せず、リダンダンシ機能を有するメモリ混載マイコンの信頼性を向上できる。

#### 【0074】

このように、高速動作と安定動作を兼ね備え、レイアウト面積も縮小できるフューズラッチ回路は、高速初期化が要求されるマイコンシステム内のメモリのリダンダンシ回路に、不良アドレスを登録しておくための回路として使用できる。また、第2実施の形態のように、フューズラッチ回路群を複数に分割し、各々のフューズラッチ回路群の初期化のタイミングをずらせば、スイッチング電流の削減とスイッチングノイズの低減を図ることができる。

#### 【0075】

本発明の例により、フューズラッチ回路及びこれを用いたシステムのレイアウト面積が小さくなったことに起因して、リダンダンシ機能を有するメモリのマクロサイズを縮小することができる。

#### 【0076】

##### (6) その他

上述の第1及び第2実施の形態に関し、電源レベル、接地レベル及びトランジスタの導電型などについては、変形が可能である。

#### 【0077】

例えば、電源レベル及び接地レベルについては、電源レベルを、第1電源レベルに置き換え、接地レベルを、第1電源レベルよりも低い第2電源レベルに置き換えることもできる。また、電源レベルを接地レベルに置き換え、接地レベルを電源レベルに置き換えることもできる。この場合、トランジスタP1A、P2を、NチャネルMOSトランジスタに置き換え、トランジスタN1Aを、PチャネルMOSトランジスタに置き換える。

#### 【0078】

また、フューズAL-fuseについても、上述の第1及び第2実施の形態で説明したようなレーザ溶断フューズに限られず、これを、電氣的にプログラムできる電氣的フューズに置き換えることもできる。

#### 【0079】

さらに、NチャネルMOSトランジスタN1Aは、フューズAL-fuseと接地点との間に接続したが、これに代えて、例えば、フューズAL-fuseとノードV<sub>a1</sub>との間に接続してもよい。

#### 【0080】

##### 【発明の効果】

以上、説明したように、本発明の例によれば、次のような効果を奏する。

フューズラッチ回路を有するメモリやメモリ混載マイコンなどの集積回路において、初期化動作期間中の貫通電流をなくして、システムの安定化及び低消費電流化を図ること、システムの初期化のための制御信号のパルス幅が狭くても、誤動作を起こさないようにすること、フューズラッチ回路のレイアウト面積を縮小することを、それぞれ実現できる。

##### 【図面の簡単な説明】

#### 【図1】

本発明の第1実施の形態に関わるフューズラッチ回路を示す回路図。

#### 【図2】

図1のフューズラッチ回路を用いたシステムの例を示す図。

#### 【図3】

図1のフューズラッチ回路のフューズ接続時の動作を示す波形図。

**【図 4】**

図 1 のフューズラッチ回路のフューズ切断時の動作を示す波形図。

**【図 5】**

本発明の第 2 実施の形態に関わるシステムの例を示す図。

**【図 6】**

図 5 の遅延回路の例を示す図。

**【図 7】**

図 5 の遅延回路の例を示す図。

**【図 8】**

高速動作を検証する S P I C E 結果を示す図。

**【図 9】**

貫通電流の低減を検証する S P I C E 結果を示す図。

**【図 10】**

図 1 のフューズラッチ回路のレイアウトの例を示す図。

**【図 11】**

従来のフューズラッチ回路を示す回路図。

**【図 12】**

図 11 のフューズラッチ回路を用いたシステムの例を示す図。

**【図 13】**

図 11 のフューズラッチ回路のフューズ接続時の動作を示す波形図。

**【図 14】**

図 11 のフューズラッチ回路のフューズ切断時の動作を示す波形図。

**【図 15】**

図 11 のフューズラッチ回路のレイアウト例を示す図。

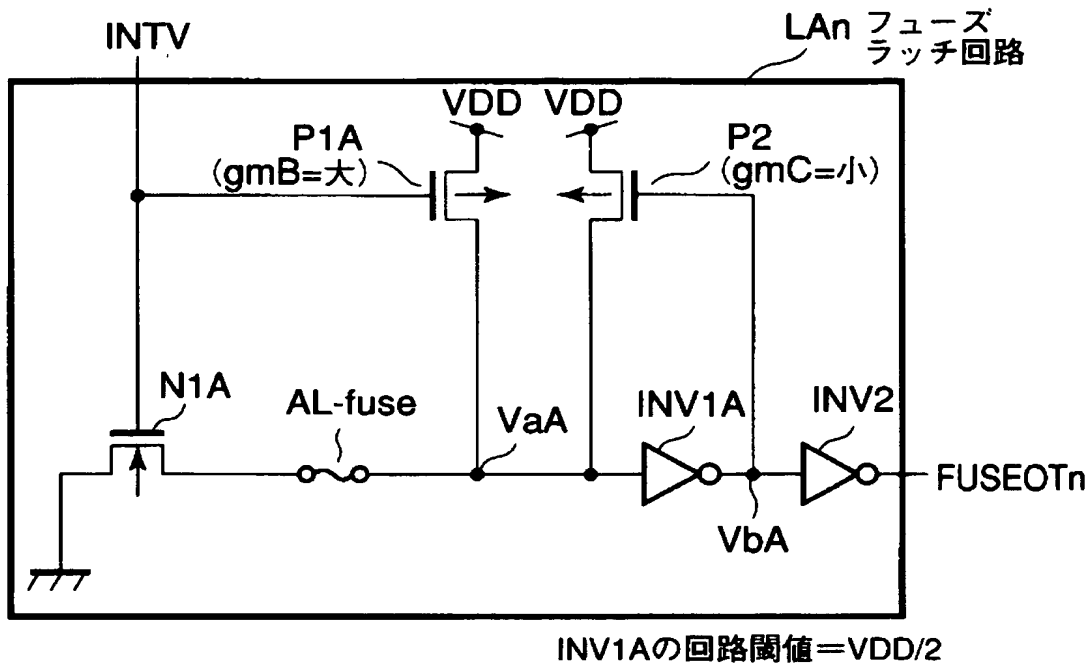
**【符号の説明】**

11, 11A, 11B, 11C, 110 : フューズラッチ回路群、 12  
: 内部回路、 13A, 13B : 遅延回路、 P1, P1A, P2 : Pチャ  
ネルMOSトランジスタ、 N1A : NチャネルMOSトランジスタ、 AL  
-fuse : フューズ、 INV1, INV1A, INV2 : インバータ、

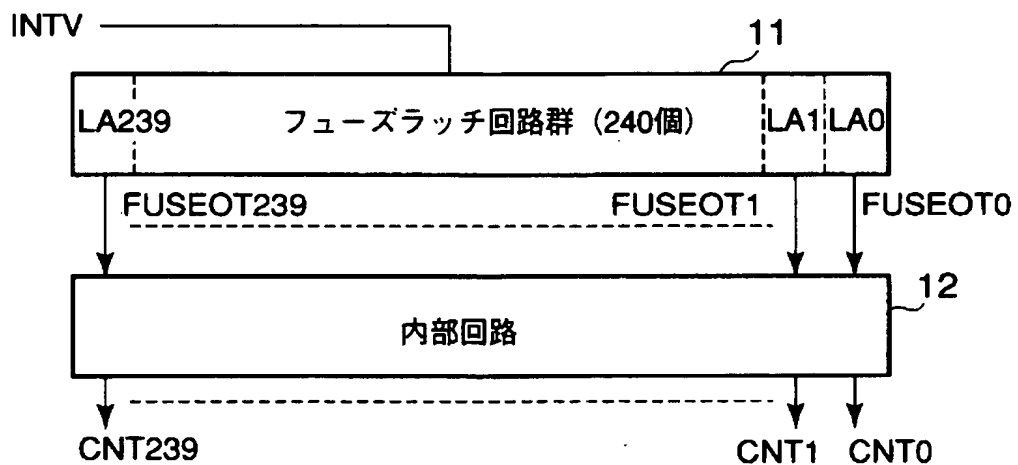
C 1, C 2 : キャパシタ、 R : 抵抗。

【書類名】 図面

【図 1】

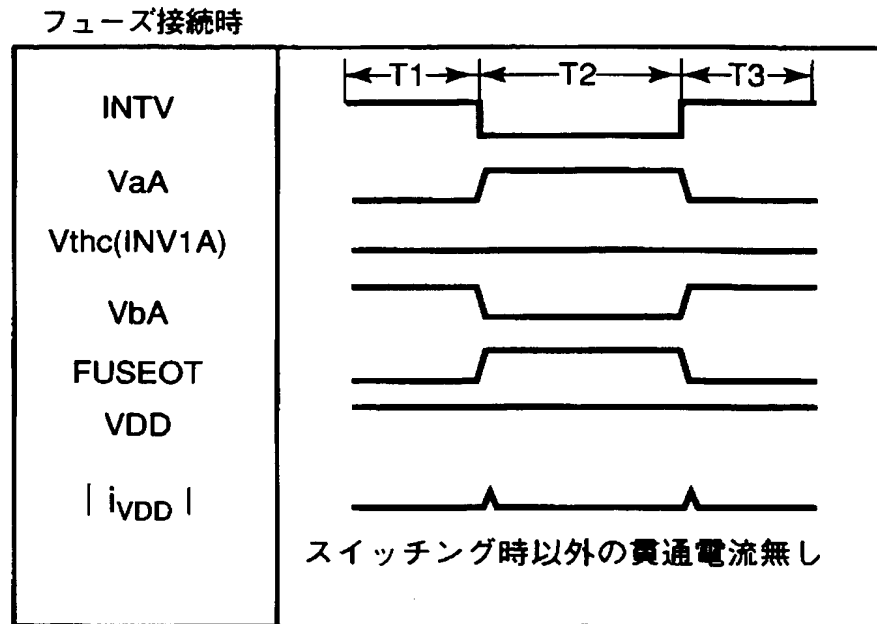


【図 2】

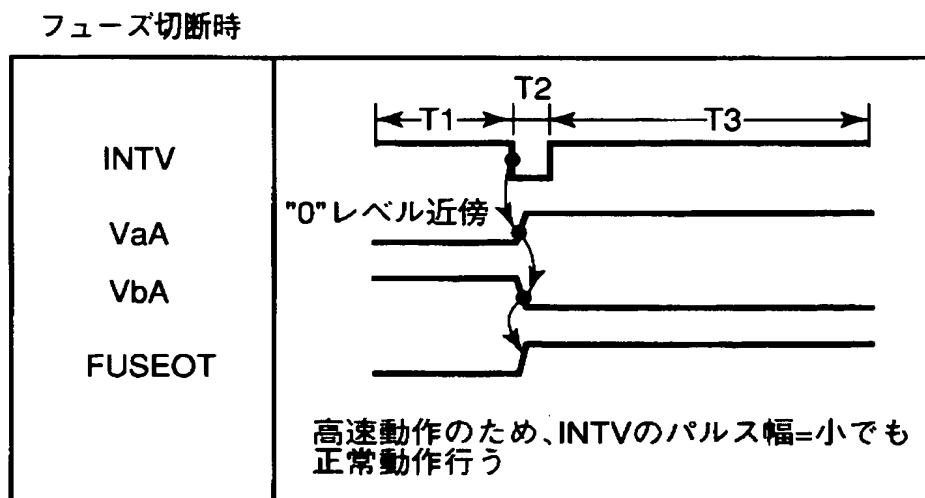




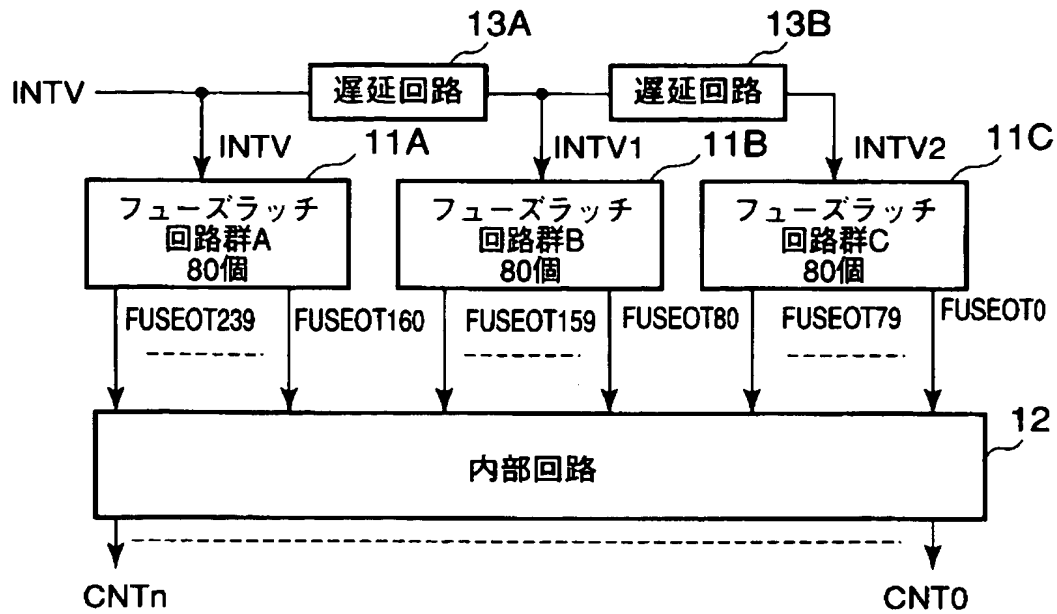
【図 3】



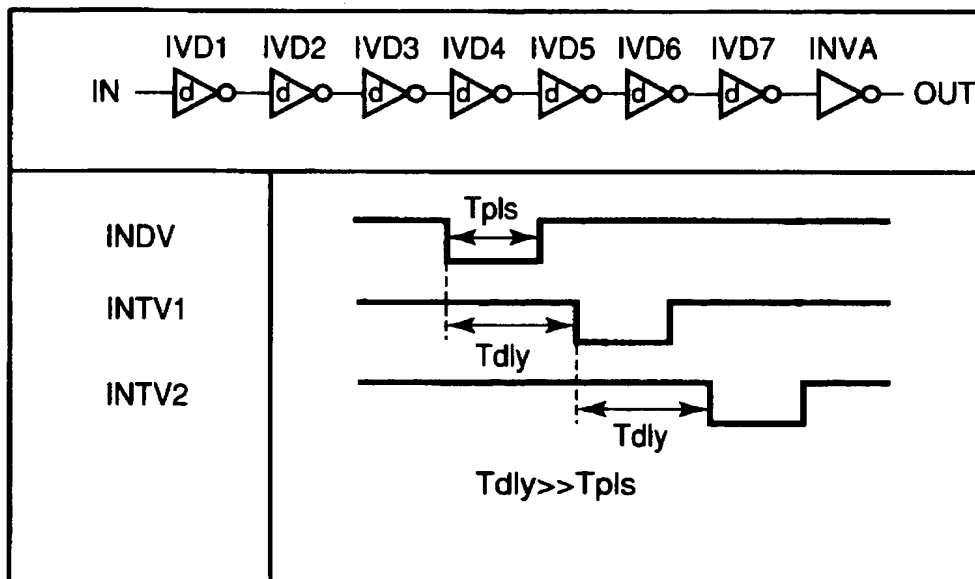
【図 4】



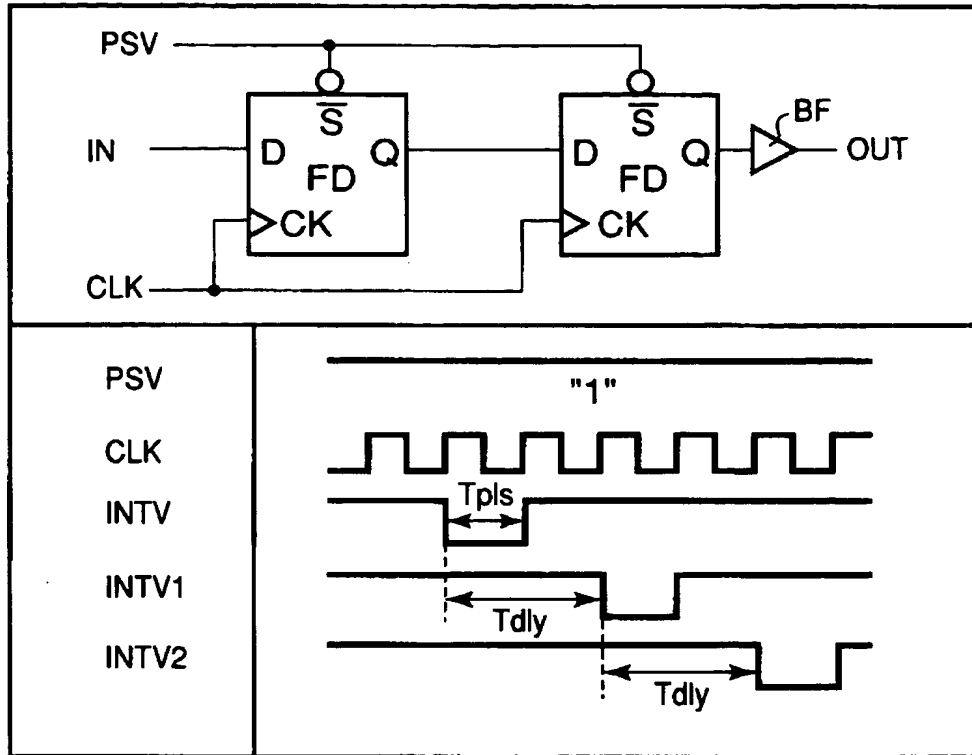
【図 5】



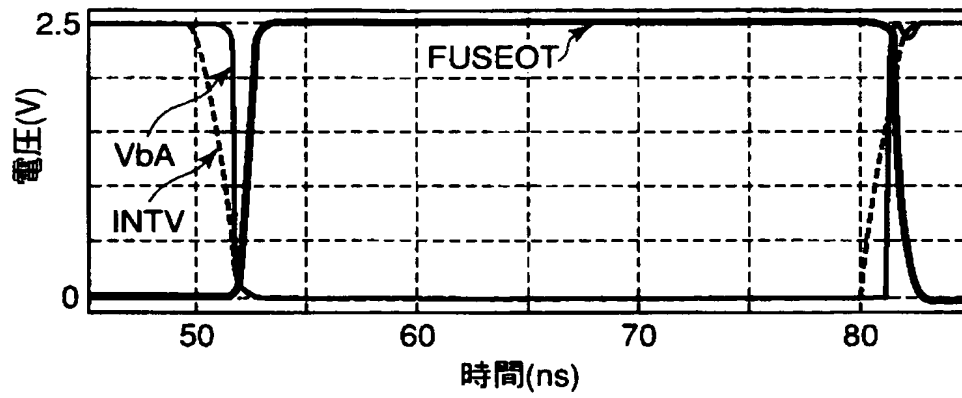
【図 6】



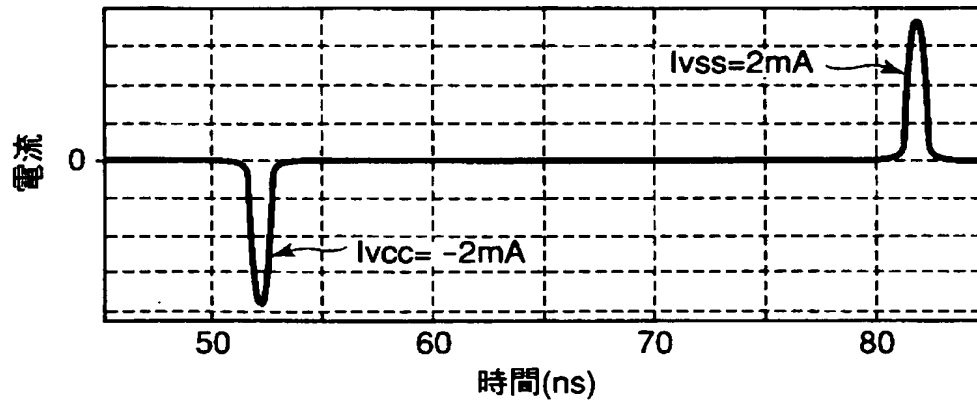
【図 7】



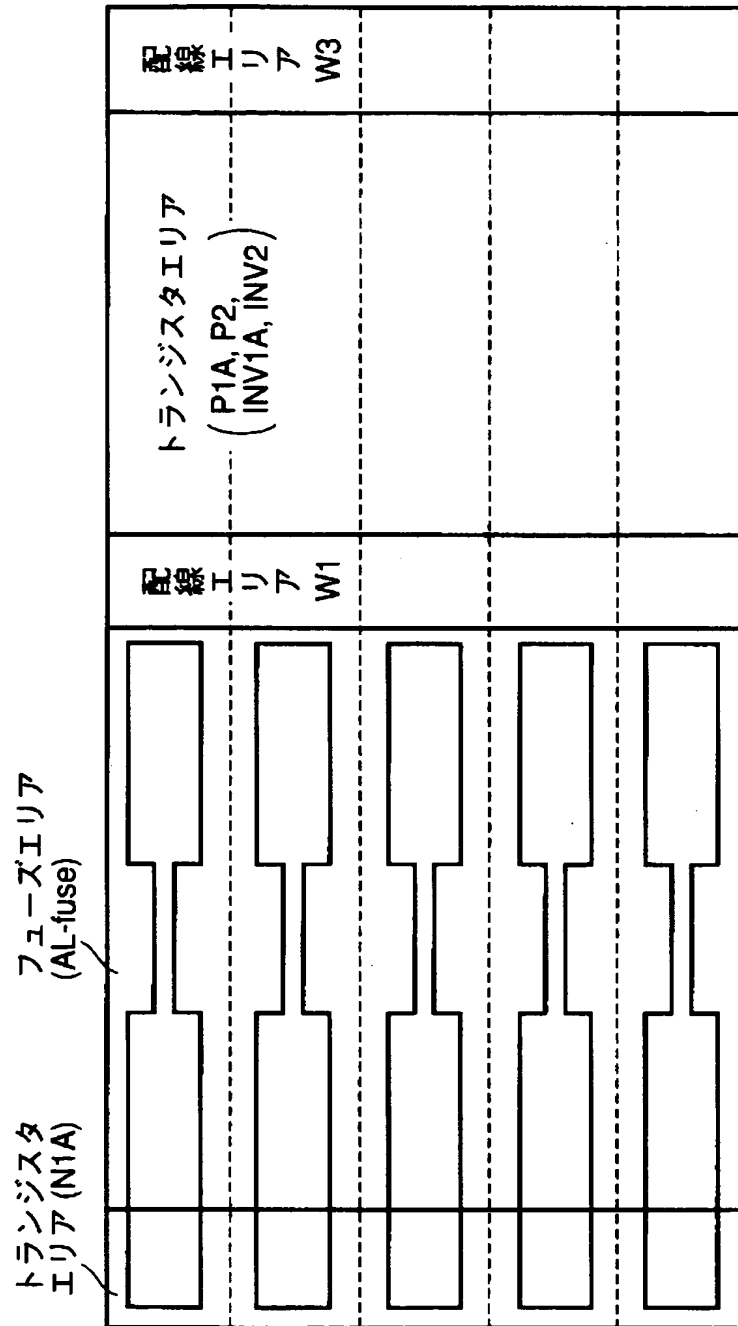
【図 8】



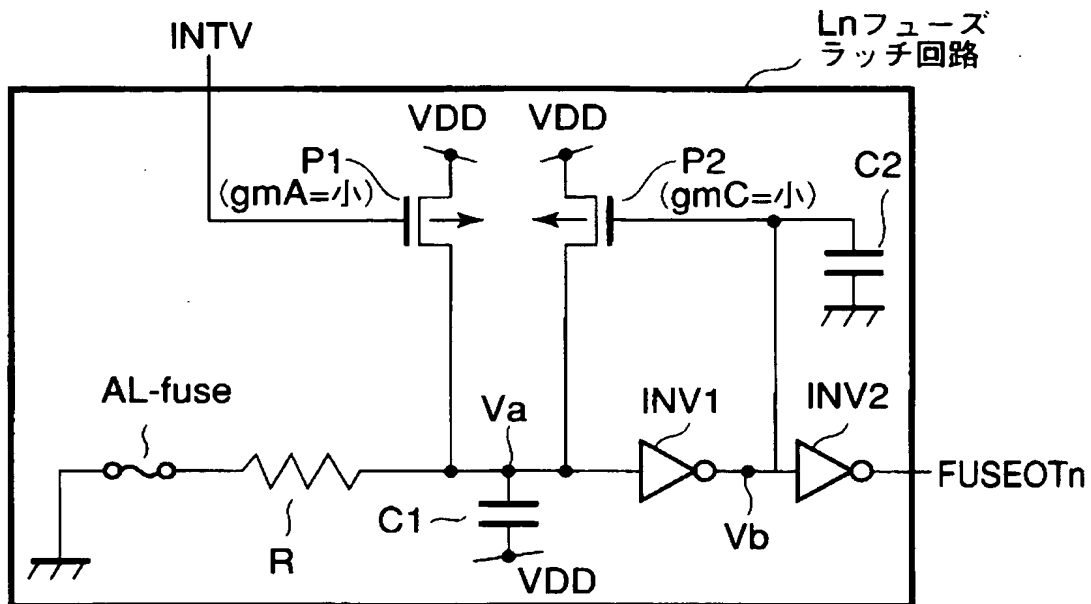
【図 9】



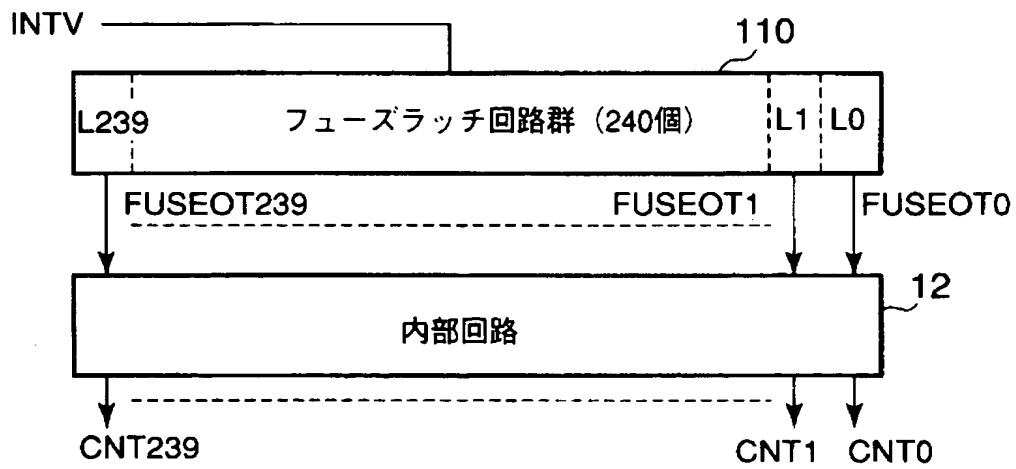
【図 10】



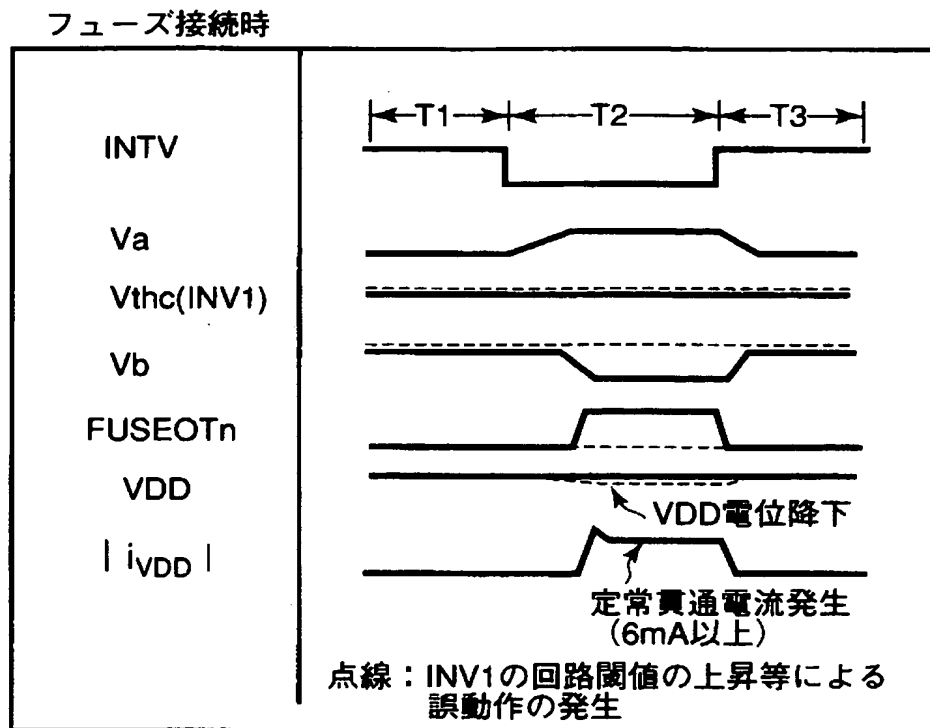
【図 11】



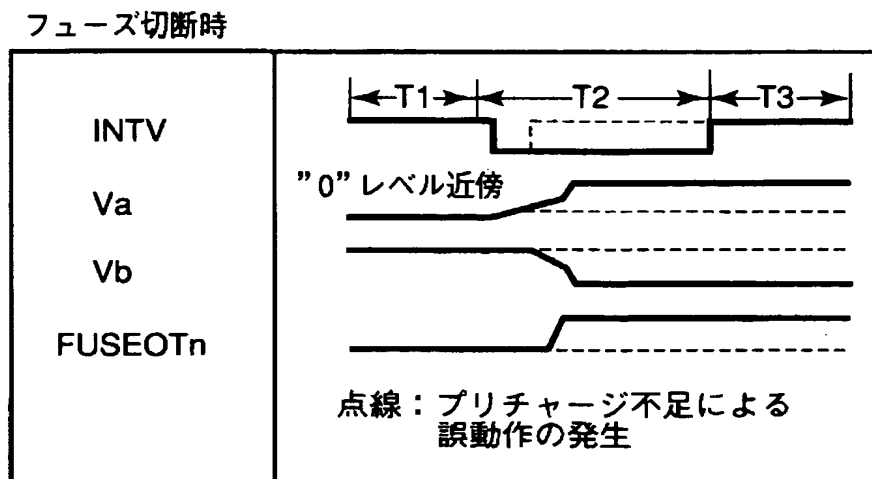
【図 12】



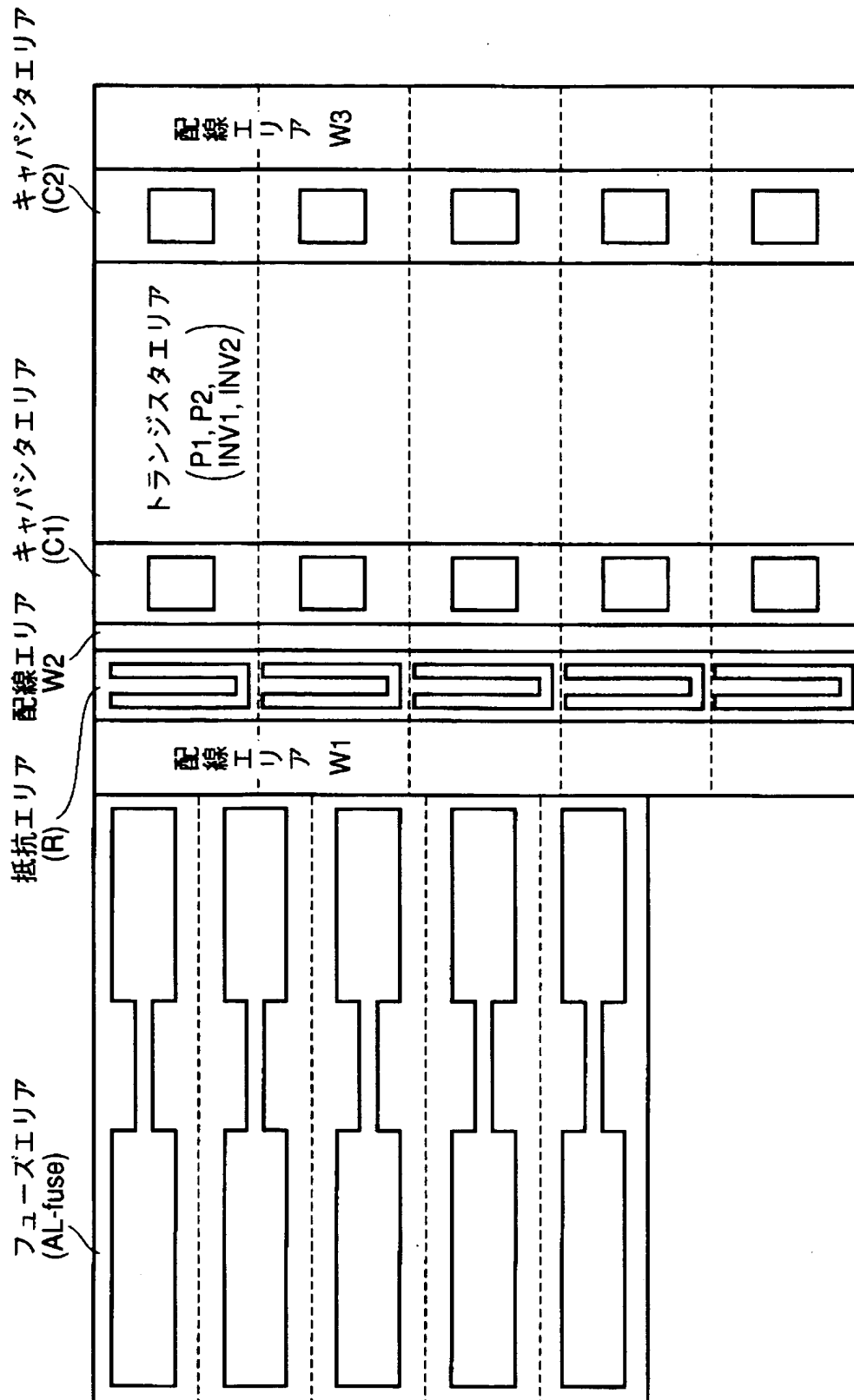
【図 13】



【図 14】



【図 15】





【書類名】 要約書

【要約】

【課題】 フューズラッチ回路の初期化を、安定的、低消費電流で行う。

【解決手段】 フューズの一端は、トランジスタ N 1 A を経由して、接地点に接続され、その他端は、ノード V a A に接続される。例えば、フューズ接続時、制御信号 I N T V が “H” では、ノード V a A 及び出力信号 F U S E O T n は、“L” である。制御信号 I N T V が “L” になると、トランジスタ P 1 A がオンとなり、V a A がプリチャージされる。トランジスタ P 1 A は、低オン抵抗であるため、高速プリチャージされる。制御信号 I N T V が “H” になると、トランジスタ N 1 A がオンとなり、V a A が高速ディスチャージされる。

【選択図】 図 1

特願 2 0 0 3 - 0 3 7 1 8 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝

特願 2 0 0 3 - 0 3 7 1 8 0

出 願 人 履 歴 情 報

識別番号

[ 5 9 8 0 1 0 5 6 2 ]

1. 変更年月日

1 9 9 8 年 1 月 2 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市幸区堀川町 5 8 0 番地

氏 名

東芝エルエスアイシステムサポート株式会社